

発明者の氏名	第一項の出願日	出願番号
イギリス人	1976年11月11日	51-105675
イギリス人	1976年11月11日	51-105675
イギリス人	1976年11月11日	51-105675

(1) 特許願
特許庁長官殿 昭和51年 9月 3日

1. 発明の名称

集積回路チップ

2. 発明者

イギリス人 ノーザンブトンシャー、ノーザンブトン、
ロンドン パックベイ、ハマス、レイズ 15
氏名 ジョン、ブラケット、ダイタソン (15か14)

3. 特許出願人

住 所 スイス国ツーク、ガルテンシュトラッセ 2

名 称 プレツシイ、ハンデル、ウント、インベスタメント、
アタエンゲゼルシャフト

(代表者) エル、ニコルソン

4. 代理人

住 所 〒100 東京都千代田区大塚町丁2番1号
新大塚ビルディング331
電 話 (211) 3651 (代 表)

氏 名 (669) 弁護士 浅 村 簡 (15か14)

51 105675

明 細 書
明細書の浄書(内容に変更なし)

1. 発明の名称

集積回路チップ

2. 特許請求の範囲

(1) 電界効果トランジスタ間に直列に接続される同種の第1絶縁ゲート電界効果トランジスタおよび第2絶縁ゲート電界効果トランジスタの接合部がパツファ回路の出力を与える前記第1および第2トランジスタと、前記トランジスタの片方がソース・ホロワの形で動作するように前記回路に加えられる入力信号に応じて前記第1および第2トランジスタを逆相で動作させる装置と、ソース・ホロワの形で動作するトランジスタに接続されて、前記出力により与えられる出力電圧の電圧メインダを少なくとも前記回路に加えられる入力信号の電圧メインダに低くさせるブートストラップ・コンデンサ装置と、を有するパツファ回路を備える集積回路チップ。

(2) 前記特許請求の範囲第(1)項記載によるチップにおいて、第1トランジスタが常時非導通となる

①特開昭 52-48458

④公開日 昭52.(1977) 4.18

②特願昭 51-105675

②出願日 昭4.(1976) 9. 3

審査請求 未請求 (全7頁)

庁内整理番号

7361 56

⑤日本分類

980160

⑤ Int. Cl?

H03K 17/00

識別
記号

ように配列されてソース・ホロワの形で動作するように接続され、第2トランジスタが常時導電するように配列され、第1および第2トランジスタの接合部と第1トランジスタのゲート電極との間にブートストラップ・コンデンサが接続されることを特徴とする前記チップ。

(3) 前記特許請求の範囲第(1)項または第(2)項記載によるチップにおいて、パツファ回路がこの回路の入力信号を加えられるインバータ装置を有し、インバータ装置の出力および入力信号が第1ならびに第2トランジスタのそれぞれに加えられて両トランジスタを逆相で動作させることを特徴とする前記チップ。

(4) 前記特許請求の範囲第(3)項記載によるチップにおいて、インバータ装置の出力が第2トランジスタに加えられるとともに、入力信号を第1トランジスタのゲート電極に接続するスイッチ装置が備えられることを特徴とする前記チップ。

(5) 前記特許請求の範囲第(4)項記載によるチップにおいて、スイッチ装置が入力端子と第1トラン

BEST AVAILABLE COPY

特開 0152-48458(2)

ジスタのゲート電極との間に接続される第3絶縁ゲート電界効果トランジスタの形をとり、第3トランジスタのゲート電極が電源端子の一つに接続されそれによつて動作の際に第3トランジスタが常時導通するように配列されることを特徴とする前記チップ。

(6) 前記特許請求の範囲第(3)項記載によるチップにおいて、インバータ装置の出力が第2トランジスタに加えられるとともに、入力信号が加えられる別のインバータ装置が備えられ、この別のインバータ装置の出力が前記インバータ装置の入力および第1トランジスタのゲート電極に加えられることを特徴とする前記チップ。

(7) 前記特許請求の範囲第(4)項～第(6)項記載のチップにおいて、第2トランジスタに加えられ反転入力信号を効果的に遅延させるためインバータ装置と組み合わされる遅延装置が備えられることを特徴とする前記チップ。

(8) 前記特許請求の範囲第(7)項記載によるチップにおいて、遅延装置がインバータ装置の入力と出

力との間に接続されるコンデンサの形をとることを特徴とする前記チップ。

(9) 前記特許請求の範囲第(7)項記載によるチップにおいて、遅延装置がインバータ装置の入力と電源端子の一つとの間に接続されるコンデンサの形をとることを特徴とする前記チップ。

(10) 前記特許請求の範囲第(8)項または第(9)項記載によるチップにおいて、インバータ装置の入力と直列に接続される第4絶縁ゲート電界効果トランジスタが備えられ、この第4トランジスタのゲート電極が電源端子の一つに接続されそれによつて動作の際に第4トランジスタが常時導通するように配列されることを特徴とする前記チップ。

(11) 前記特許請求の範囲のいずれか一つの項に記載のチップにおいて、いずれも共通電源端子とともに動作しうる主電源端子および補助電源端子が備えられ、第1および第2トランジスタが共通電源端子と補助電源端子との間に直列に接続され、パツファ回路の残部が共通電源端子と主電源端子との間に接続されることを特徴とする前記チップ。

5 発明の詳細な説明

この発明は集積回路チップ、特にいわゆるパツファ回路を有する集積回路チップに関する。

集積回路のパツファ回路については既に知られており、通常二つの型式に分けられる。第1の型式は相補形(コンプリメンタリ)トランジスタを利用して出力信号の電圧スイングを入力信号の電圧信号と事実上同一にし、第2の型式は同形のトランジスタを利用して出力信号の電圧スイングを入力信号の電圧スイングに等しいかそれよりも大きくするが電源から絶えず電流を流す必要があり、または代替として出力信号の電圧スイングを入力信号の電圧スイングより小さくする。

本発明の一つの目的は、少なくとも入力信号の電圧スイングと同じ大きさの電圧スイングを持つ出力信号を作るが、連続電力の消費が著しくあつたり無視できる程度でありかつ相補形トランジスタを使用する必要がない集積回路チップをうることである。

本発明により、電源端子間に直列に接続される

同種の第1単極ゲート電界効果トランジスタおよび第2単極ゲート電界効果トランジスタの接合部がパツファ回路の出力を与える前記第1および第2トランジスタと、前記トランジスタの片方がソース・ホロウの形で動作するように前記回路に加えられ入力信号に応じて前記第1および第2トランジスタを逆相で動作させる装置と、ソース・ホロウの形で動作するトランジスタに接続されて、前記出力により与えられる出力電圧の電圧スイングを少なくとも前記回路に加えられ入力信号の電圧スイングに等しくさせるブートストラップ・コンデンサ装置と、を有するパツファ回路を備える集積回路チップが得られる。

第1および第2トランジスタを逆相で動作するように配列すると、電力は前記トランジスタの遅移の際だけ消費される。

負論理を用いて本発明を実施する場合、第1トランジスタは常時非導通となるように配列されてソース・ホロウ形で動作するように接続され、第2トランジスタは常時導通となるように配列され

第1および第2トランジスタの接合部と第1トランジスタのゲート電極との間にブートストラップ・コンデンサが接続される。

本発明によるチップの一つの形では、バッファ回路にはインバータ装置があり、インバータ装置には回路の入力に加えられ、インバータ装置の出力と入力信号は第1および第2トランジスタのそれぞれに加えられてこれらを逆相で動作させ、一つの配列ではインバータ装置の出力は第1トランジスタのゲート電極に入力信号を接続するために備えられる第2トランジスタ・スイッチ装置に加えられ、このスイッチ装置は具合よく第1トランジスタのゲート電極と入力端子との間に接続される第3絶縁ゲート電界効果トランジスタの形をとり、この第3トランジスタのゲート電極は電源端子の一つに接続されそれによつて動作の際に第3トランジスタは常時導通となるようにされ、またもう一つの配列ではインバータ装置の出力は第2トランジスタに加えられ、入力信号に加えられ、別のインバータ装置が備えられ、この別のインバ

特開昭52-48458(3)

ータ装置の出力は前記インバータ装置の入力および第1トランジスタのゲート電極に加えられる。

本発明によるチップの前記一つの形により本発明を実施する場合、第2トランジスタに加えられ、反転入力信号を有効に遅延させる遅延装置を備えてインバータ装置と組み合わせるようにされる。

具合よく、遅延装置はインバータ装置の入力と出力との間に接続されるコンデンサの形をとつたり、インバータ装置の入力と電源端子の一つとの間に接続されるコンデンサの形をとることができ、その場合第4絶縁ゲート電界トランジスタを備えてインバータ装置の入力と直列に接続することが望ましく、この第4トランジスタのゲート電極は電源端子の一つに接続され、それによつて動作の際に第4トランジスタは常時導通となるように配列される。

本発明の好適実施例では、バッファ回路は共通電源端子とともにいずれも動作しうる主電源端子および補助電源端子を備え、第1および第2トランジスタは共通電源端子と補助電源回路との間に

直列に接続され、バッファ回路の残りは共通電源端子と主電源端子との間に接続される。

こうして、補助電源の電圧が主電源の電圧より大きくなるようにすると、出力電圧の電圧スイングを入力信号の電圧スイングより大きくすることができ、電力は遅移の際に補助電源によつて消費されるだけである。

本発明の若干の実施例を図面について以下に詳しく説明する。

各図から、相補形(コンプリメンタリ)トランジスタを使用しない工程を用いて作られるバッファ回路の回路図が示され、すなわちバッファ回路に用いられるすべてのトランジスタは同種のものであり、説明する実施例ではこれらは金属・酸化物・シリコン(MOS)トランジスタとして示されるが、従来の同様な形の絶縁ゲート電界効果トランジスタを使用できることは明白である。また、説明のための実施例ではいわゆる負論理が使用されるが、説明される原理はいわゆる正論理にも同じく適用されることは明白である。

第1図に示されるバッファ回路を考えると、この回路には常時接地される共通電源端子1と $-V$ の電圧が加えられるものとする補助電源端子2との間に直列に接続される第1MOSトランジスタ T_1 、および第2MOSトランジスタ T_2 がある。トランジスタ T_1 および T_2 の接合部は出力信号 V_o を与える出力端子0に接続される。このバッファ回路の動作では、トランジスタは逆相で動作するように配列されるが、これは入力信号 I_i が加えられる入力端子Iとトランジスタ T_2 のゲート電極との間に接続されるインバータ回路0によつて得られ、トランジスタ T_1 のゲートはあつて機能を説明するもう一つのMOSトランジスタ T_3 によつて作られるアナログ・ゲートを介して入力端子Iに反転なしに接続される。

これまで説明したバッファ回路の動作を考えると、論理の「0」信号(すなわち0V)が入力Iに加えられると、インバータ0により、トランジスタ T_2 は「オン」の状態をとるようになり、またトランジスタ T_1 も「オン」であるとすれば

トランジスタ T_1 は「オフ」の状態をとるようにされる。この状態において、トランジスタ T_2 が「オン」であると、出力 0 に現われる電圧は実質的に電源端子 2 の電圧すなわち 0 V に相当し、かくて入力信号と同様論理の「0」になるであろう。

いま論理の「1」の信号すなわち負電圧が入力 I に加えられると、トランジスタ T_2 は「オフ」に、トランジスタ T_1 は「オン」になるであろう。この状態において、2 個のトランジスタ T_1 および T_2 の接合部はゲート電圧より小さい限界電圧 V_t となり、かくてトランジスタ T_1 によりこの状態でソース・ホロウの形に接続される。したがって出力 V_0 は入力電圧から限界電圧 V_t を引いた電圧となるであろう。

ある応用では、出力信号 V_0 の電圧スイングが入力 I の電圧スイングに等しいかまたはそれより大きいことが要求されるが、これはトランジスタ T_1 および T_2 の接合部とトランジスタ T_1 のゲート電極との間にプートストラップ形のコンデンサ 0 を接続することによって第 1 図に示される配列

で達成される。第 1 図の配列では、出力信号の電圧スイングが入力信号の電圧スイングを超えることが要求されるが、これは電圧 $-P$ が加えられる主電源端子 3 を備えることによつて達成され、補助電源端子 2 に加えられる電圧 $-P$ は主電源端子 3 に加えられる電圧 $-P$ よりも大きな負であると考えられる。

次に回路の動作を説明すると下記のようになる。

論理の「0」(0 V)が入力 I に加えられると、インバータ 0 により、トランジスタ T_2 は「オン」の状態をとるようにされ、主電源端子 3 に接続されるトランジスタ T_3 のゲート電極に加えられる負電圧のためにトランジスタ T_3 は「オン」の状態をとるようにされ、これはトランジスタ T_1 を「オフ」の状態にする。これらの状態が行きわたると、出力 0 に現われる出力電圧は 0 V すなわち論理の「0」になるであろう。

論理の「1」すなわち負電圧が入力 I に加えられると、入力電圧が最初負に過むにつれて上記の状態が保たれ、そして負進行の電圧は「オン」ト

ランジスタ T_3 を介してトランジスタ T_1 のゲート電極に加えられ、プートストラップ・コンデンサを入力 I から充電させる。負進行電圧が増加してトランジスタ T_1 の限界電圧を超えると、トランジスタ T_1 は「オン」にされる。しかしトランジスタ T_2 が既に「オン」であるので、出力 0 の電圧変化はごくわずかである。しかし実際には、2 個のトランジスタ T_1 および T_2 がいずれも導通している間に、補助電源端子 2 によつて電圧が消費される。入力 I に加えられる負進行電圧が増大するにつれて、入力 I に加えられる電圧が主電源端子 3 に加えられる限界電圧 $-P$ の範囲ぎりぎりに達する点までコンデンサ 0 は充電を続け、その点に達するとトランジスタ T_3 は「オフ」にされ、またトランジスタ T_2 はインバータ 0 により「オフ」にされる。トランジスタ T_2 が「オフ」になることによつて、トランジスタ T_1 および T_2 の接合部における電圧は負となり、トランジスタ T_1 のゲート電極に現われる電圧よりも低い限界電圧を常時とるであろう。しかし充電されたプートス

トラップ・コンデンサ 0 により、出力 0 に現われる負進行電圧はトランジスタ T_1 のゲート電極に移され、これによつてトランジスタ T_1 はより強い「オン」にされ、トランジスタ T_1 および T_2 の接合部に与えられる出力 V_0 の電圧はトランジスタ T_1 に接続される電圧 $-P$ にほぼ到達する。端子 2 に加えられる補助電源の電圧 $-P$ が端子 3 に加えられる主電源の電圧 $-P$ よりも大きくなるようにすることによつて、出力電圧 V_0 の電圧スイングを入力 I に加えられる電圧スイングよりも大きくすることができるとなる。

論理の「0」の信号が入力 I に再び加えられると、トランジスタ T_2 およびトランジスタ T_3 は再び「オン」にされ、これによつてコンデンサ 0 は放電され、トランジスタ T_1 は「オフ」にされる。

実際には、論理の「1」の信号が入力 I に加えられると、バッファ回路の出力キャパシタンスがプートストラップ・コンデンサ 0 のそれよりもはるかに大きくなければ、加えられる論理「0」と論理の「1」との間の遷移時間中にプートストラ

特開昭52-48458(5)

ツプ・コンデンサを充電させるだけの時間が得られないことがわかる。これはトランジスタ T_2 が「オン」になるのが早すぎるからである。これはトランジスタ T_2 に加えられるパルスを遅延させることによつて克服され、またこれはインバータ ϕ の出力と入力との間にコンデンサ C_d をミラー形に接続したり、インバータ ϕ の入力に分路コンデンサ C_d' を接続することによつて第1図の回路図を再生する第2図に示されるとおり具合よく実施できる。こうした両配列において、遅延コンデンサ C_d または C_d' が入力端子 I とインバータ ϕ の入力との間に直列に接続されるもう一つのMOSトランジスタ T_4 を備えることによつて効果を高められることがわかり、この場合トランジスタ T_4 のゲート電極は電圧 $-p$ に接続されるので入力 I に論理の「0」の信号が加えられるとトランジスタ T_4 は「オン」であり、入力 I に論理の「1」の信号が加えられるとトランジスタ T_4 は「オフ」である。

第1図と第2図のバッファ回路では、論理の

「1」の信号が入力 I に加えられるときトランジスタ T_3 が「オフ」となることを保証するために、入力 I に加えられる論理の「1」の電圧が主電源端子 3 に加えられる電圧 $-p$ と通つて限界電圧より小であることを保証する必要がある。ある配列ではこれは容易に得られず、第3図では微小入力電圧スイングが許容される第1図のバッファ回路の變形が示されている。第3図に示されるバッファ回路は基本的には第1図のものと同じであり、トランジスタ T_3 の代わりにMOSトランジスタ T_5 および T_6 からなるもう一つのインバータが備えられることを除き、同様な素子には同じ参照数字が使用される。第3図の配列において、トランジスタ T_3 はその負荷として接続されるトランジスタ T_7 とともに反転トランジスタとして接続され、入力 I はトランジスタ T_5 のゲート電極に接続され、2個のトランジスタ T_5 および T_6 の接合部はインバータ ϕ の入力ならびにトランジスタ T_7 のゲート電極に接続される。第3図の回路において、遅延コンデンサ C_d が図示されているが、

これは要求されたりされないことがあり、または第1図のコンデンサ C_d' に相当する分路コンデンサ(図示されていない)に置き換えられることがあるのを知らなければならない。

第3図のバッファ回路において、遅延コンデンサ C_d または C_d' を追加する必要がないほど出力キャパシタンスが十分大きければ、入力 I とトランジスタ T_2 のゲート電極との間に2個のインバータが直列に効果的に接続されるので、インバータ ϕ は省かれ、トランジスタ T_2 のゲート電極は入力 I に直結される。

第4図には第2図のバッファ回路の回路図が示され、インバータは反転MOSトランジスタ T_7 および負荷MOSトランジスタ T_6 からなるものとして図示される。第4図のバッファ回路は集積回路チップに組込むのに好適であり、電源端子1、2および3は極端パッドとして図示される。

これまで説明したすべての実施例では、最大入力電圧スイングを越える出力電圧スイングをうるために2個の電源が利用されるものと考えられた。

しかし、説明された原理は最大入力電圧に等しい出力電圧スイングをうる単一電源の回路にも同じく適用される。

4. 図面の簡単な説明

第1図は本発明により集積回路チップに組み込まれるバッファ回路の部分ブロック図であり、第2図は第1図のバッファ回路の改良形の部分ブロック図であり、第3図は第1図のバッファ回路のもう一つの改良形の部分ブロック図であり、第4図は第2図の回路に基づくバッファ回路の好適な形の回路図である。

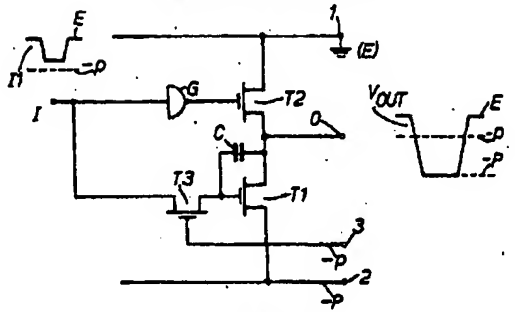
参照符号の説明

1—共通電源端子 2—補助電源端子 3—主電源端子
I—入力端子 O—出力端子 T—トランジスタ
 ϕ , ϕ_d , ϕ_d' —コンデンサ G—インバータ

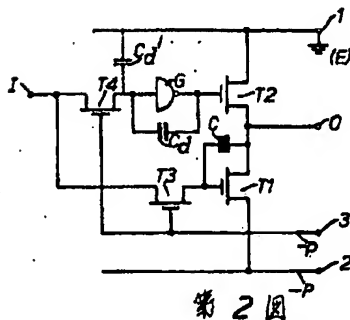
代理人 浅 村 皓

特開 4752-48458 (6)

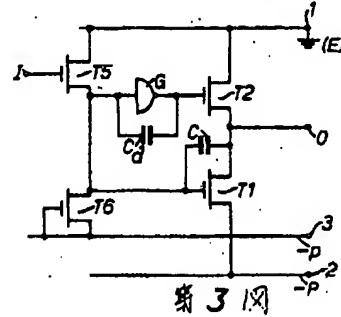
図面の符号(内容に変更なし)



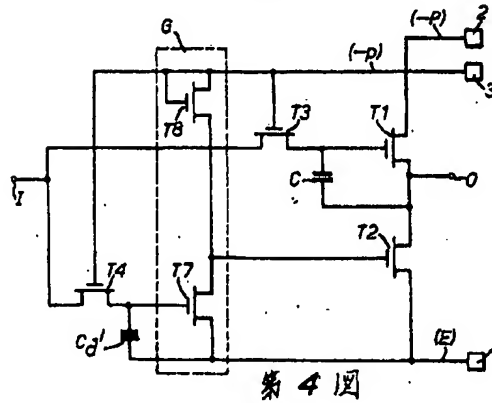
第1図



第2図



第3図



第4図

5. 添付書類の目録

(1) 明 示 書	1 部	(2) 図 面	1 部	(3) 特 許 願 書	1 部
(4) 明 示 書	1 部	(5) 図 面	1 部	(6) 特 許 願 書	1 部
(7) 明 示 書	1 部	(8) 図 面	1 部	(9) 特 許 願 書	1 部

6. 前記以外の発明者、特許出願人または代理人

(1) 発 明 者

氏 名 イギリス人 ノーザンブトンシャー、
ノーザンブトン、ロング バックベイ、
パークフィールド ロード 21
氏 名 ジョン、デビッド、ウィルコック

(2) 出 願 人

(3) 代 理 人

所 〒100 東京都千代田区大手町二丁目2番1号
新 大 手 町 ビ ル デ ィ ン グ 3 3 1
電 話 (211) 3 6 5 1 (代 表)
氏 名 (7204) 弁 理 士 浅 村 肇
所 同 所 同
氏 名 (7086) 弁 理 士 影 山 一 美
所 同 所 同
氏 名 (7046) 弁 理 士 村 田 司 朗

手 続 補 正 書 (自 発)

昭和 57 年 10 月 21 日

特 許 庁 長 官 殿

1. 事 件 の 表 示

昭和 57 年 特 許 願 第 105675 号

2. 発 明 の 名 称

集 積 回 路 チ ャ ッ プ

3. 補 正 を す る 者

事件との関係 特許出願人

氏 名
(名 称)

ブレスレイ、ハンデル、ウント、
インベストメント、アクチエンゲゼルシャフト

4. 代 理 人

所 〒100 東京都千代田区大手町二丁目2番1号
新 大 手 町 ビ ル デ ィ ン グ 3 3 1
電 話 (211) 3 6 5 1 (代 表)
氏 名 (6869) 浅 村 肇

5. 補 正 命 令 の 日 付

昭和 年 月 日

6. 補 正 に よ り 増 加 す る 発 明 の 数

7. 補 正 の 対 象

明 細 書

8. 補 正 の 内 容

別紙のとおり

図 面 の 符 号 (内 容 に 変 更 な し)

手続補正書(方式)

特開昭52-48458(7)

昭和51年11月22日

特許庁長官殿

1. 事件の表示

昭和51年特許願第105675号

2. 発明の名称

集積回路チップ

3. 補正をする者

事件との関係 特許出願人

住所

氏名

(名称)

アレッソン・ハンデル・ウント・インベストメンツ,
アウナエンゲルツァフト

4. 代理人

住所

氏名

〒100 東京都千代田区大塚二丁目2番1号

新大塚ビルディング331

電話 (211) 3651 (代表)

(6669) 浅村 皓

5. 補正命令の日付

昭和51年10月26日

6. 補正により増加する発明の数

7. 補正の対象

図面の添付 (内容) 変更なし

8. 補正の内容 別紙のとおり



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.